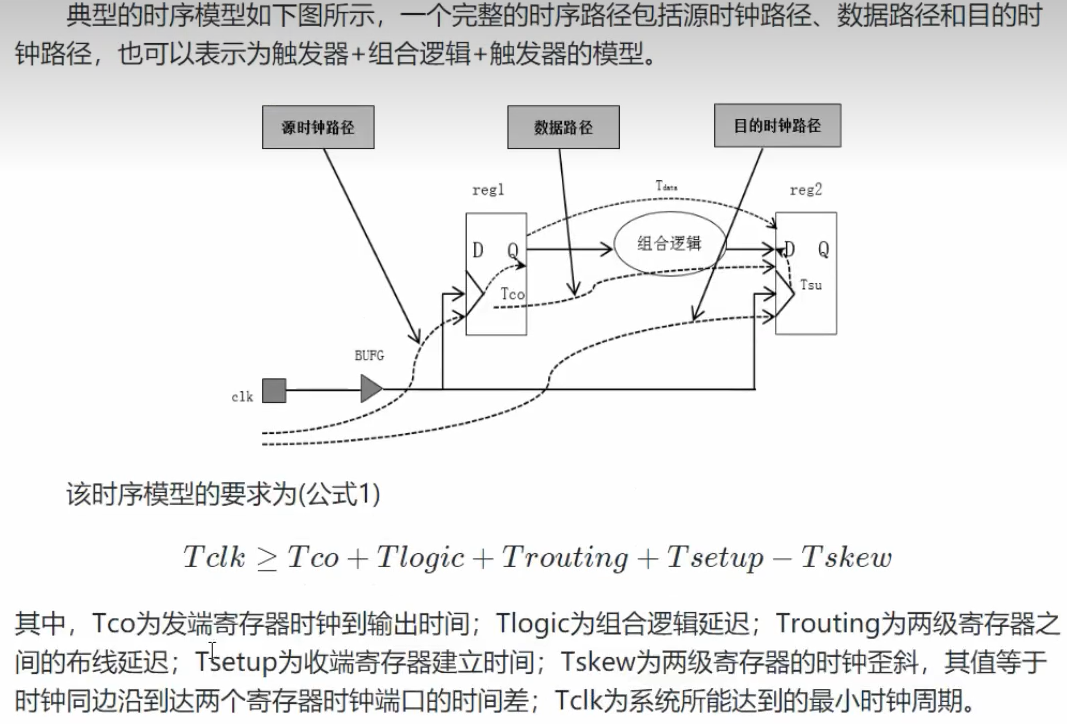
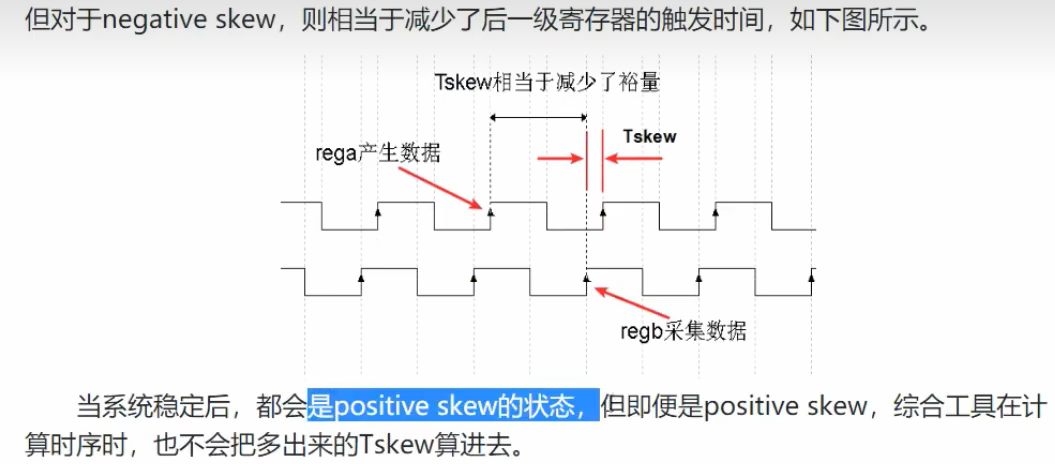
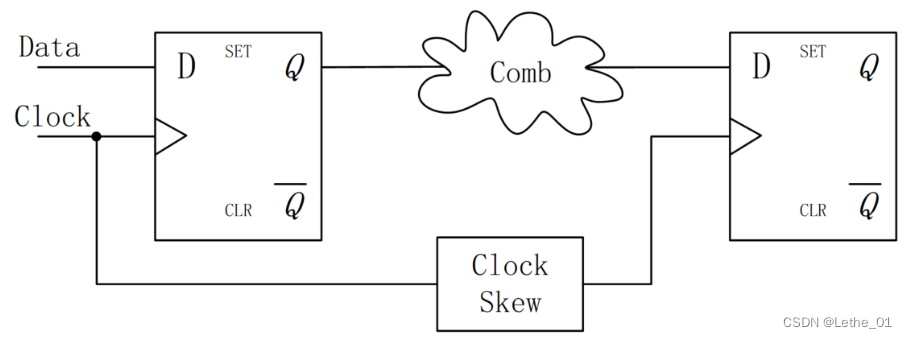
# 时序模型

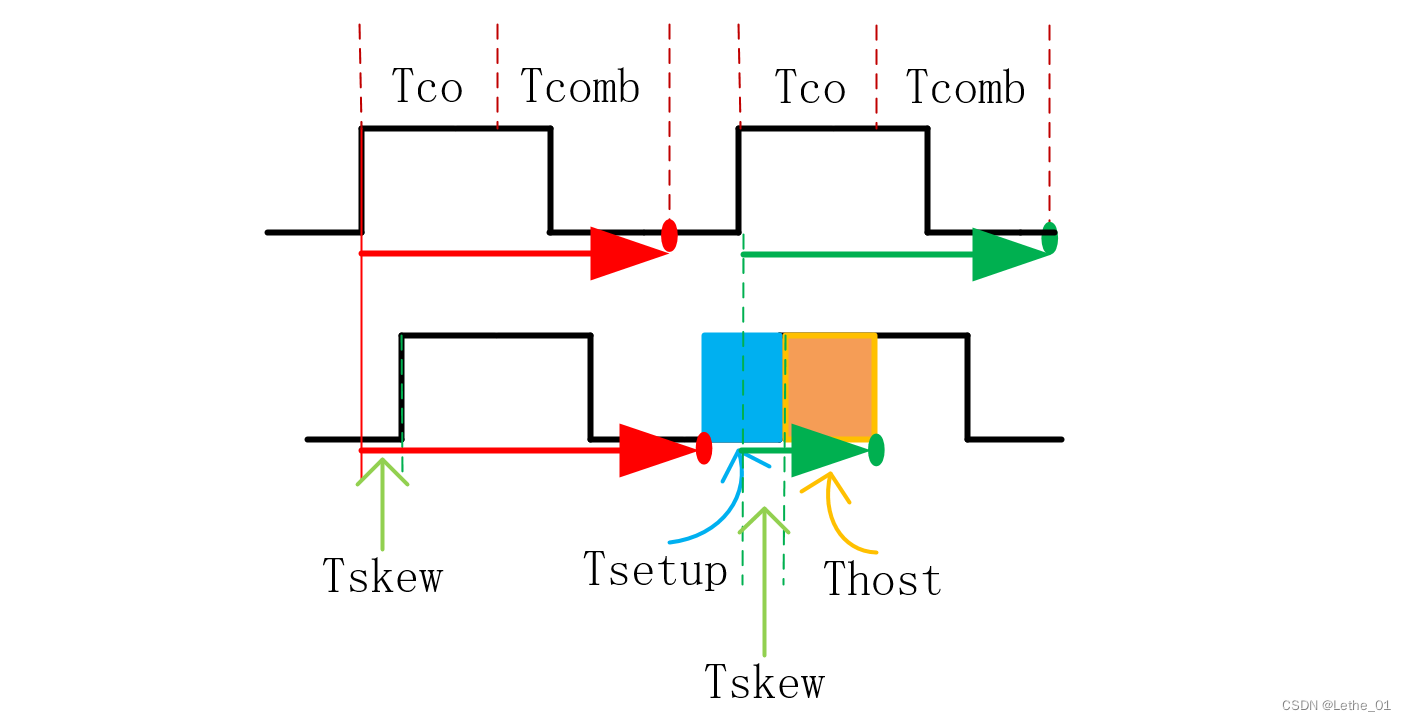






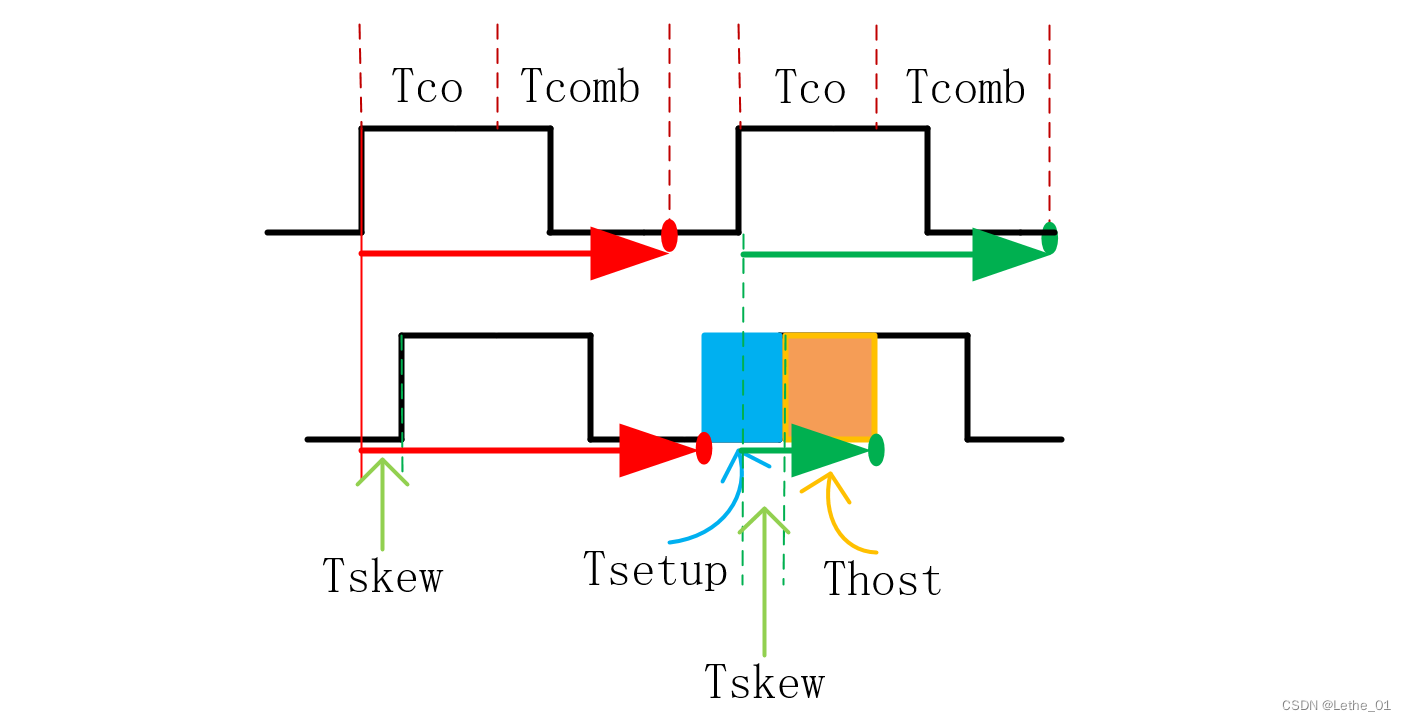
# 建立时间约束





* 建立时间约束条件(如图红线对比)：
* 要求：数据路径比时钟路径更快到达接收端D触发器，即在接收端时钟上升沿来临之前，数据需要准备好，放在wire上，并留够等待接受端寄存器接收
* 意义：建立时间约束是对前后两个寄存器在相邻时钟上升沿的约束，发送寄存器在时钟上升沿1时刻发送，接受寄存器在时钟上升沿2时刻接收。时钟到来之前，数据需要提前准备好，才能被时钟正确采样
* 建立时间余量公式：
  + 满足建立时间余量公式的措施：
    - ：降低频率
    - ：布局布线，一般可认为是0
    - ：优化代码，降低组合逻辑延迟（以此可提升时钟频率）
    - 、 ：厂家决定（）

# 保持时间约束



* 保持时间约束条件(如图绿线对比)：
* 要求：下一次的数据延迟在保持时间之后到来，以免数据被冲刷掉。
* 意义：接受寄存器在时钟上升沿2时刻接收发送寄存器在时钟上升沿1时刻发送的数据1，在时钟上升沿2时刻后，该数据还要在wire上稳定一段时间（）。如果此时发送寄存器在时钟上升沿2时刻发送的数据2过快到达接收寄存器，则数据1会被冲掉。即时钟到来之后，数据还要稳定一段时间，所以在时钟上升沿2时刻不能让发送端数据过快到达。
* 保持时间（）余量公式：
  + 满足保持时间（）余量公式的措施：
    - ：与频率无关
    - ：增加组合逻辑延迟，防止时钟上升沿2时刻发送端发出的数据过快到达接收端
    - ：布局布线，一般可认为是0
    - ：厂家决定（）